המרכז האקדמי לב

הפקולטה להנדסה
החוג להנדסת חשמל ואלקטרוניקה

פרויקט גמר באלקטרוניקה

קידוד אפיק יעיל-הספק מוגן שגיאות

Power Efficient Error Correcting Bus Encoder

מגיש: מתן בן נחמיה

מנחה: פרופסור שלמה אנגלברג

אייר תשפ"ו

ירושלים

תוכן עניינים

תקציר **3**

1 מבוא **5**

2 רקע תאורטי וסקירת ספרות **6**

2.1 מודל צריכת ההספק הדינמי 6

2.2 קידוד אפיק וריבוי ייצוגים (Multiple Representations) 6

2.3 מטריצות מסוג H_1 ו-H_2 6

2.4 אלגוריתם ה-PESEC (Power Efficient SEC) 7

2.5 שדרוג ל-SEC+DED וביט זוגיות כולל 7

2.6 פרוטוקול התקשורת והגנה על המסגרות 7

2.7 סקירת ספרות והשוואת טכנולוגיות 8

רשימת איורים

רשימת טבלאות

תקציר

רקע, הניעה ומטרה: צריכת הספק במערכות דיגיטליות מודרניות, ובפרט בזיכרונות חדישים (כדוגמת RRAM) ובאפיקי תקשורת ארוכים, מושפעת ישירות ממספר החלפות המצבים הלוגיים (Bit Transitions - BT) במעבר בין ערכים[cite: 89, 92]. המטרה המרכזית בקידוד אפיק היא למזער החלפות אלו לחלוטין. עם זאת, שילוב קודי תיקון שגיאות (ECC) סטנדרטיים הורס את יעילות ההספק בשל האקראיות של החלפת ביטי היתירות[cite: 227]. פרויקט זה נועד לממש מערכת המשלבת קידוד אפיק יעיל-הספק יחד עם אלגוריתם תיקון שגיאות ייעודי (PESEC) מבלי לפגוע בצריכת ההספק המינימלית של האפיק[cite: 228].

גישה ושיטות: פותחה מערכת הכוללת מקודד (TX) ומפענח (RX) הפועלים על גבי מיקרו-בקר ADuC841[cite: 14, 133]. המערכת עושה שימוש במטריצות קידוד מסוג H1 לקידוד אפיק של 15 ביט בשילוב אלגוריתם PESEC המבטיח תיקון שגיאה בודדת (SEC)[cite: 269]. בנוסף, מומשה שכבת הגנה עליונה לזיהוי שגיאה כפולה (DED) באמצעות שילוב ביט זוגיות (Overall Parity) כולל[cite: 476, 571]. הנתונים מועברים דרך מסגרות תקשורת מסונכרנות בפרוטוקול UART המגובות ב-CRC-8[cite: 6, 41].

תוצאות עיקריות: המערכת קודדה ושידרה בהצלחה מילות קוד ברוחב 26 ביט[cite: 58]. בניסויי המערכת, המקלט זיהה ותיקן שגיאות בודדות (SEC) באופן דיפרנציאלי תוך שמירה על גבולות ה-BT המתוכננים, וזיהה בהצלחה עיוותים המייצגים שגיאות כפולות (DED) כבלתי ניתנות לתיקון.

משמעות ותרומה: הפרויקט מהווה הוכחת היתכנות מעשית ליישום קודי PESEC במערכות משובצות מחשב הפועלות בזמן אמת[cite: 574]. פתרון מודולרי זה מאפשר להשיג אמינות גבוהה (SEC+DED) מבלי להידרש לסיבוכיות מערכתית ולטבלאות חיפוש כבדות המאפיינות פתרונות מתחרים[cite: 573].

Abstract

Background, Motivation, and Goal: Power efficiency in modern digital systems is largely dictated by bit transitions (BT) in memory and communication buses[cite: 92]. Integrating standard ECC typically increases BT, negating the benefits of bus encoding[cite: 227]. This project implements a system integrating power-efficient bus encoding with a Power-Efficient Single Error Correcting (PESEC) algorithm[cite: 228].

Approach and Methods: An integrated TX/RX system was built using the ADuC841 microcontroller[cite: 14]. It utilizes H1-type matrices for 15-bit data and PESEC for Single

Error Correction (SEC)[cite: 269]. A Double Error Detection (DED) layer was added using an overall parity bit[cite: 476]. Data transmission is secured via UART framing and CRC-8[cite: 6].

Main Results: Codewords of 26 bits were successfully processed[cite: 58]. The receiver corrected single errors differentially within BT limits and successfully identified double errors as uncorrectable.

Significance and Contribution: This work demonstrates the practical viability of PESEC codes in real-time embedded systems[cite: 574]. It provides modular, high-reliability (SEC+DED) protection without the overhead of complex lookup tables[cite: 573].

1 מבוא

ההתפתחות המואצת בטכנולוגיות המוליכים למחצה ועיצוב המערכות המשובצות הובילה בעשורים האחרונים לעלייה דרמטית בצפיפות הרכיבים ובתדרי העבודה. מגמה זו מציבה את צריכת ההספק כצוואר בקבוק קריטי בתכנון חומרה מודרנית. במעגלי CMOS מסורתיים, ובייחוד בטכנולוגיות זיכרון מתפתחות (כדוגמת זיכרונות RRAM או MRAM), צריכת ההספק הדינמית נקבעת בעיקרה ממעברי הלוגיקה (Bit Transitions), המכתיבים טעינה ופריקה של קיבולים פרזיטיים על גבי קווי התקשורת והזיכרון[cite: 90]. כל שינוי מצב לוגי של ביט – מאפס לאחד או מאחד לאפס – כרוך בעלות אנרגטית ישירה[cite: 89]. ככל שאפיקי התקשורת רחבים יותר וארוכים יותר, כך ההספק המבוזבז הופך למרכיב דומיננטי הדורש פתרונות ברמת הארכיטקטורה כדי למזער את כמות ההחלפות[cite: 92].

על מנת להתמודד עם אתגר זה, פותחו אלגוריתמים לקידוד אפיק (Bus Encoding). מטרתם היא להבטיח מעבר למילת מידע חדשה תוך ביצוע מספר מינימלי של שינויים במצב הפיזי של הקווים[cite: 99]. גישות מוקדמות, כדוגמת "היפוך אפיק" (Bus Inversion), השכילו לחסוך מעברים על ידי הוספת קו בקרה בודד[cite: 149]. עם זאת, מערכות אלו אינן מציעות הגנה מובנית מפני שגיאות. אפיקי תקשורת בסביבות תעשייתיות או רפואיות חשופים לרעשים אלקטרומגנטיים (EMI), תנודות מתח ושגיאות אקראיות חולפות (Soft Errors) המחייבות שימוש בקודי תיקון שגיאות (ECC)[cite: 225].

כאן נוצר קונפליקט הנדסי משמעותי: קודי ECC קונבנציונליים (כגון קודי המינג) מייצרים ביטי יתירות (Redundancy) המשתנים באופן אקראי משידור לשידור[cite: 227]. שינויים אלו גורמים לעלייה חדה בכמות מעברי הלוגיקה, מה שמבטל את יעילות ההספק שהושגה על ידי קידוד האפיק. בסביבות עתירות-הספק או בטכנולוגיות כדוגמת RRAM, שבהן פעולת הכתיבה יקרה במיוחד, פגיעה זו היא בלתי נסבלת[cite: 91].

פרויקט זה מציע פתרון מודולרי המבוסס על ארכיטקטורת PESEC (Power Efficient Single Error Correcting). בשיטה זו, הוספת היתירות מבוצעת באופן דיפרנציאלי חכם המבטיח כי גם ביטי הבקרה ידרשו מינימום החלפות[cite: 228]. מעבר לכך, הפרויקט מרחיב את מודל ה-SEC התיאורטי לרמת אמינות של SEC+DED (תיקון שגיאה בודדת וגילוי שגיאה כפולה) באמצעות ביט זוגיות כולל[cite: 476, 571].

המערכת שפותחה מורכבת ממיקרו-בקר ADuC841 המשמש כמקודד ומפענח, יחד עם גשר Arduino Mega 2560 המגשר בין העולם המקבילי לעולם הטורי בסביבה רועשת[cite: 1, 23]. העבודה כוללת מימוש תוכנתי של המטריצות, ניהול פרוטוקול תקשורת ממוסגר (Framing) ובדיקת חסינות המערכת לשגיאות. הפרויקט מדגים כי ניתן לשלב אמינות גבוהה עם צריכת הספק נמוכה, ומהווה בסיס לתכנון אפיקים בטוחים במערכות זמן-אמת עתידיות[cite: 574].

2 רקע תאורטי וסקירת ספרות

2.1 מודל צריכת ההספק הדינמי

ההספק הדינמי במעגלים דיגיטליים נובע מטעינה ופריקה של קבלים פרזיטיים. הקשר המתמטי מוגדר על ידי:

$$P_{dynamic} = \alpha \cdot C_{load} \cdot V_{DD}^2 \cdot f_{clock} \tag{1}$$

כאשר α הוא מקדם הפעילות (Activity Factor), המייצג את ההסתברות שביט ישנה את מצבו במחזור שעון[cite: 90]. במערכות יעילות-הספק, אנו שואפים למזער את α על ידי הפחתת מספר ה-BT[cite: 92]. באפיק ברוחב n ביטים, מספר השינויים הממוצע קובע את צריכת ההספק היחסית של הרכיב.

2.2 קידוד אפיק וריבוי ייצוגים (Multiple Representations)

כדי לאפשר מעבר לערך חדש במינימום שינויים, המערכת משתמשת ביותר ביטים פיזיים מביטי המידע. עבור מידע לוגי s, המערכת מגדירה מטריצת בדיקה H ומתקיימת המשוואה:

$$Hx^T = s \tag{2}$$

כאשר x היא המילה הפיזית[cite: 111, 120]. לכל s ישנה קבוצת פתרונות C_s, וביניהם אנו בוחרים את הפתרון x_{new} שמרחקו מהמצב הנוכחי x_{old} הוא מינימלי[cite: 141]. מרחק זה מחושב כמשקל ההמינג של וקטור ההפרש w:

$$Hw^T = s_{new} \oplus s_{old} \tag{3}$$

הבעיה הכללית של מציאת w בעל משקל מינימלי היא NP-Complete, אך שימוש במטריצות בעלות מבנה מיוחד פותר זאת ביעילות[cite: 137].

2.3 מטריצות מסוג H_1 ו-H_2

המטריצות המאפשרות פתרון דטרמיניסטי ומהיר ללא צורך בטבלאות חיפוש הן מטריצות מסוג H_1 ו-H_2[cite: 192]. מטריצת H_1 בנויה כך שהיא מכילה את כל הצירופים הלא-אפסיים האפשריים (כמו מטריצת המינג)[cite: 194, 235]. במבנה כזה, לכל סינדרום יעד קיים ביט בודד ששינויו יביא לתוצאה

הרצויה, מה שמבטיח $\Delta = 1$ לכל עדכון ניבל[cite: 200, 269]. מטריצות H_2 משתמשות במבנה היררכי המאפשר יעילות גבוהה יותר עבור אפיקים רחבים יותר[cite: 204, 218].

2.4 אלגוריתם ה-PESEC (Power Efficient SEC)

בקודי ECC קלאסיים, ביטי היתירות נוצרים על ידי הכפלת המידע במטריצה יוצרת, מה שמוביל לשינויים אקראיים בביטים אלו. ב-PESEC, התהליך הוא מודולרי ודיפרנציאלי[cite: 228]. מטריצת הבדיקה מחולקת ל-A (נתונים) ו-D (יתירות)[cite: 318, 321]:

$$Au^T \oplus Dv^T = 0 \tag{4}$$

כאשר המידע u משתנה ל-u_{new}, אנו מחפשים שינוי w בביטי היתירות v כך שיתקיים[cite: 342]:

$$Dw^T = Au_{new}^T \oplus Dv_{old}^T \tag{5}$$

על ידי בחירת D כמטריצת H_1, אנו מבטיחים שגם עדכון היתירות יתבצע במינימום שינויים[cite: 344].

2.5 שדרוג ל-SEC+DED וביט זוגיות כולל

כדי להשיג יכולת זיהוי שגיאה כפולה, מתווסף ביט זוגיות כולל (Overall Parity) המחושב על כל 25 הביטים של ה-PESEC[cite: 476, 571]. הוספה זו מגדילה את מרחק המינג המינימלי של הקוד ל-4[cite: 479]. המקלט מבצע שילוב של בדיקת סינדרום ובדיקת זוגיות:

- **Syndrome** $S \neq 0$, **Fail: Parity** שגיאה בודדת שניתנת לתיקון בטוח[cite: 531].
- **Syndrome** $S \neq 0$, **OK: Parity** שגיאה כפולה (Double Error) שאינה ניתנת לתיקון – מזוהה בלבד[cite: 531].

מנגנון זה קריטי למניעת "תיקון שגוי" שבו המערכת מנסה לתקן שגיאה כפולה ומייצרת שגיאה שלישית[cite: 531].

2.6 פרוטוקול התקשורת והגנה על המסגרות

בשל רגישות המערכת לרעשי קו, המעבר בין הגשר למקלט מתבצע בפרוטוקול UART ממוסגר (Framed UART)[cite: 5]. כל מסגרת כוללת בייט סנכרון (SOF) של $0xAA$, וקטור נתונים, וקטור יתירות ובדיקת CRC-8[cite: 6, 8]. ה-CRC מבטיח כי אם חלה שגיאה בתוך השידור (הגשר), המקלט יזהה זאת ויפסול את המסגרת כולה לפני שתגיע לשלב התיקון של ה-PESEC[cite: 7, 41].

2.7 סקירת ספרות והשוואת טכנולוגיות

בספרות קיימות שיטות כגון "Light-Weight Codes" המגבילות את כמות ה-"1"-ים במילה, אך הן בזבזניות שכן אינן מתחשבות במצב הקודם של האפיק[cite: 556, 558]. שיטת ה-"Nested BCH" משלבת קידוד ו-ECC אך סובלת מסיבוכיות NP-Complete הדורשת טבלאות חיפוש (LUT) יקרות[cite: 561, 563]. מחקריהם של אנגלברג וקרן הוכיחו כי הגישה המבוססת על מטריצות H_2/H_1 היא המודולרית והיעילה ביותר ליישום בזמן אמת בחומרה דלת משאבים[cite: 574].